

PCT/JPO1/00182
09/936172

05.03.01

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

JPO1/182

RECD 20 APR 2001

PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 9月29日

EKU

出 願 番 号

Application Number:

特願2000-300063

出 願 人

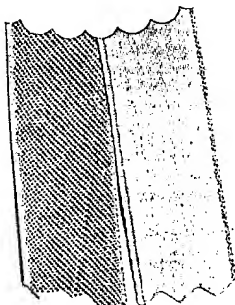
Applicant (s):

松下電器産業株式会社

**PRIORITY
DOCUMENT**

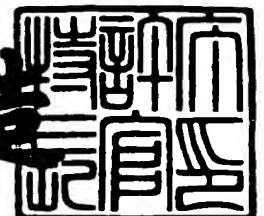
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2001年 4月 6日



特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3026663

【書類名】 特許願

【整理番号】 2036420405

【提出日】 平成12年 9月29日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/30
G09G 3/36

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 山倉 誠

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 古林 好則

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 アクティブマトリクス表示装置およびその駆動方法

【特許請求の範囲】

【請求項 1】 複数の信号線と、前記信号線と直交する複数の走査線と、前記信号線と前記走査線の交点近傍に設けられたスイッチング素子と、前記スイッチング素子に接続された画素からなるアクティブマトリクス表示装置の駆動方法であって、

前記信号線の各々は、水平走査期間ごとに表示階調数より少ない複数の信号レベルのうちの 1 値を選択して出力し、

前記走査線の各々に属する画素について、前記スイッチング素子を導通して前記信号レベルの書き込みを行う水平走査期間に等しい書き込み時間と、前記スイッチング素子を遮断して前記信号レベルを保持する保持時間からなる複数のサブフレーム S 1, S 2, . . . , S N によって 1 フレーム期間が構成され、前記保持時間が前記サブフレームごとに水平走査期間の整数倍に重み付けされることにより、前記サブフレームにおける前記信号レベルの組み合わせにより多階調表示を行い、

1 つの走査線の重み付けの大きいサブフレームの保持時間に全ての走査線数よりも多くの回数にわたり他の走査線を選択してサブフレームを書き込むことにより、1 フレーム期間を短縮し、かつすべての走査線のサブフレームの重み付けを一致させることを特徴とするアクティブマトリクス表示装置の駆動方法。

【請求項 2】 複数の信号線と、前記信号線と直交する複数の走査線と、前記信号線と前記走査線の交点近傍に設けられたスイッチング素子と、前記スイッチング素子に接続された画素からなるアクティブマトリクス表示装置の駆動方法であって、

前記信号線の各々は、水平走査期間ごとに表示階調数より少ない複数の信号レベルのうちの 1 値を選択して出力し、

前記走査線の各々に属する画素について、前記スイッチング素子を導通して前記信号レベルの書き込みを行う水平走査期間に等しい書き込み時間と、前記スイッチング素子を遮断して前記信号レベルを保持する保持時間からなる複数のサブ

フレーム S_1, S_2, \dots, S_N によって 1 フレーム期間が構成され、前記保持時間が前記サブフレームごとに水平走査期間の整数倍に重み付けされることにより、前記サブフレームにおける前記信号レベルの組み合わせにより多階調表示を行い、

選択される走査線のサブフレームは $S_1 \rightarrow S_2 \rightarrow \dots \rightarrow S_N \rightarrow S_1 \rightarrow S_2 \rightarrow \dots \rightarrow S_N$ というように循環し、1 つの走査線の重み付けの大きいサブフレームの保持時間に全ての走査線数よりも多くの回数にわたり他の走査線を選択してサブフレームを書き込むことにより、1 フレーム期間を短縮し、かつすべての走査線のサブフレームの重み付けを一致させることを特徴とするアクティブマトリクス表示装置の駆動方法。

【請求項 3】複数の信号線と、前記信号線と直交する複数の走査線と、前記信号線と前記走査線の交点近傍に設けられたスイッチング素子と、前記スイッチング素子に接続された画素からなるアクティブマトリクス表示装置の駆動方法であって、

前記信号線の各々は、水平走査期間ごとに表示階調数より少ない複数の信号レベルのうちの 1 値を選択して出力し、

前記走査線の各々に属する画素について、前記スイッチング素子を導通して前記信号レベルの書き込みを行う水平走査期間に等しい書き込み時間と、前記スイッチング素子を遮断して前記信号レベルを保持する保持時間からなる複数のサブフレーム S_1, S_2, \dots, S_N によって 1 フレーム期間が構成され、前記保持時間が前記サブフレームごとに水平走査期間の整数倍に重み付けされることにより、前記サブフレームにおける前記信号レベルの組み合わせにより多階調表示を行い、

前記サブフレームの各々について選択順序が順次走査であり、かつ選択される走査線のサブフレームは $S_1 \rightarrow S_2 \rightarrow \dots \rightarrow S_N \rightarrow S_1 \rightarrow S_2 \rightarrow \dots \rightarrow S_N$ というように循環し、1 つの走査線の重み付けの大きいサブフレームの保持時間に全ての走査線数よりも多くの回数にわたり他の走査線を選択してサブフレームを書き込むことにより、1 フレーム期間を短縮し、かつすべての走査線のサブフレームの重み付けを一致させることを特徴とするアクティブマトリクス表示装置

の駆動方法。

【請求項 4】第 1 の基板上に設けられた複数の信号線と、これを駆動する信号線駆動回路と、前記信号線と直交する複数の走査線と、これを駆動する走査線駆動回路と、前記信号線と前記走査線の交点近傍に設けられたスイッチング素子と、前記スイッチング素子に接続された画素電極と、前記第 1 の基板と液晶層を介して対峙する対向電極を持つ第 2 の基板とからなるアクティブマトリクス液晶表示装置であって、

前記信号線駆動回路は前記信号線の各々に対し、水平走査期間ごとに表示階調数より少ない複数の電圧レベルのうちの 1 値を選択して出力し、

前記走査線の各々に属する画素について、前記スイッチング素子を導通して前記電圧レベルの書き込みを行う水平走査期間に等しい書き込み時間と、前記スイッチング素子を遮断して前記電圧レベルを保持する保持時間からなる複数のサブフレーム S 1, S 2, . . . , S N によって 1 フレーム期間が構成され、前記保持時間が前記サブフレームごとに水平走査期間の整数倍に重み付けされることにより、前記サブフレームにおける前記電圧レベルの組み合わせにより多階調表示を行い、

前記走査線駆動回路は前記走査線に対し、1 つの走査線の重み付けの大きいサブフレームの保持時間に全ての走査線数よりも多くの回数にわたり他の走査線を選択してサブフレームを書き込むことにより、1 フレーム期間を短縮し、かつすべての走査線のサブフレームの重み付けを一致させることを特徴とするアクティブマトリクス液晶表示装置。

【請求項 5】第 1 の基板上に設けられた複数の信号線と、これを駆動する信号線駆動回路と、前記信号線と直交する複数の走査線と、これを駆動する走査線駆動回路と、前記信号線と前記走査線の交点近傍に設けられたスイッチング素子と、前記スイッチング素子に接続された画素電極と、前記第 1 の基板と液晶層を介して対峙する対向電極を持つ第 2 の基板とからなるアクティブマトリクス液晶表示装置であって、

前記信号線駆動回路は前記信号線の各々に対し、水平走査期間ごとに表示階調数より少ない複数の電圧レベルのうちの 1 値を選択して出力し、

前記走査線の各々に属する画素について、前記スイッチング素子を導通して前記電圧レベルの書き込みを行う水平走査期間に等しい書き込み時間と、前記スイッチング素子を遮断して前記電圧レベルを保持する保持時間からなる複数のサブフレーム S_1, S_2, \dots, S_N によって1フレーム期間が構成され、前記保持時間が前記サブフレームごとに水平走査期間の整数倍に重み付けされることにより、前記サブフレームにおける前記電圧レベルの組み合わせにより多階調表示を行い、

前記走査線駆動回路は前記走査線に対し、選択される走査線のサブフレームが $S_1 \rightarrow S_2 \rightarrow \dots \rightarrow S_N \rightarrow S_1 \rightarrow S_2 \rightarrow \dots \rightarrow S_N$ というように循環し、1つの走査線の重み付けの大きいサブフレームの保持時間に全ての走査線数よりも多くの回数にわたり他の走査線を選択してサブフレームを書き込むことにより、1フレーム期間を短縮し、かつすべての走査線のサブフレームの重み付けを一致させることを特徴とするアクティブマトリクス液晶表示装置。

【請求項6】第1の基板上に設けられた複数の信号線と、これを駆動する信号線駆動回路と、前記信号線と直交する複数の走査線と、これを駆動する走査線駆動回路と、前記信号線と前記走査線の交点近傍に設けられたスイッチング素子と、前記スイッチング素子に接続された画素電極と、前記第1の基板と液晶層を介して対峙する対向電極を持つ第2の基板とからなるアクティブマトリクス液晶表示装置であって、

前記信号線駆動回路は前記信号線の各々に対し、水平走査期間ごとに表示階調数より少ない複数の電圧レベルのうちの1値を選択して出力し、

前記走査線の各々に属する画素について、前記スイッチング素子を導通して前記電圧レベルの書き込みを行う水平走査期間に等しい書き込み時間と、前記スイッチング素子を遮断して前記電圧レベルを保持する保持時間からなる複数のサブフレーム S_1, S_2, \dots, S_N によって1フレーム期間が構成され、前記保持時間が前記サブフレームごとに水平走査期間の整数倍に重み付けされることにより、前記サブフレームにおける前記電圧レベルの組み合わせにより多階調表示を行い、

前記走査線駆動回路は前記走査線に対し、前記サブフレームの各々について選

択順序が順次走査であり、選択される走査線のサブフレームが $S_1 \rightarrow S_2 \rightarrow \dots \rightarrow S_N \rightarrow S_1 \rightarrow S_2 \rightarrow \dots \rightarrow S_N$ というように循環し、1つの走査線の重み付けの大きいサブフレームの保持時間に全ての走査線数よりも多くの回数にわたり他の走査線を選択してサブフレームを書き込むことにより、1フレーム期間を短縮し、かつすべての走査線のサブフレームの重み付けを一致させることを特徴とするアクティブマトリクス液晶表示装置。

【請求項7】第1の基板上に設けられた複数の信号線と、これを駆動する信号線駆動回路と、前記信号線と直交する複数の走査線と、これを駆動する走査線駆動回路と、前記信号線と前記走査線の交点近傍に設けられた第1のスイッチング素子と、前記第1のスイッチング素子に接続された第2のスイッチング素子と、前記第2のスイッチング素子に接続された画素電極と、前記第2のスイッチング素子に前記画素電極と異なる側に接続された電源供給線と、前記第1の基板と発光層を介して対峙する対向電極を持つ第2の基板とからなるアクティブマトリクス表示装置であって、

前記信号線駆動回路は前記信号線の各々に対し、水平走査期間ごとに表示階調数より少ない複数の電圧レベルのうちの1値を選択して出力し、

前記走査線の各々に属する画素について、前記第1のスイッチング素子を導通して前記電圧レベルの書き込みを行う水平走査期間に等しい書き込み時間と、前記第1のスイッチング素子を遮断して前記電圧レベルを保持し、前記第2のスイッチング素子を介して前記電源供給線から画素に前記電圧レベルに応じた固定電流を流しつづける保持時間からなる複数のサブフレーム S_1, S_2, \dots, S_N によって1フレーム期間が構成され、前記保持時間が前記サブフレームごとに水平走査期間の整数倍に重み付けされることにより、前記サブフレームにおける前記固定電流の組み合わせにより多階調表示を行い、

前記走査線駆動回路は前記走査線に対し、1つの走査線の重み付けの大きいサブフレームの保持時間に全ての走査線数よりも多くの回数にわたり他の走査線を選択してサブフレームを書き込むことにより、1フレーム期間を短縮し、かつすべての走査線のサブフレームの重み付けを一致させることを特徴とするアクティブマトリクス表示装置。

【請求項 8】第 1 の基板上に設けられた複数の信号線と、これを駆動する信号線駆動回路と、前記信号線と直交する複数の走査線と、これを駆動する走査線駆動回路と、前記信号線と前記走査線の交点近傍に設けられた第 1 のスイッチング素子と、前記第 1 のスイッチング素子に接続された第 2 のスイッチング素子と、前記第 2 のスイッチング素子に接続された画素電極と、前記第 2 のスイッチング素子に前記画素電極と異なる側に接続された電源供給線と、前記第 1 の基板と発光層を介して対峙する対向電極を持つ第 2 の基板とからなるアクティブマトリクス表示装置であって、

前記信号線駆動回路は前記信号線の各々に対し、水平走査期間ごとに表示階調数より少ない複数の電圧レベルのうちの 1 値を選択して出力し、

前記走査線の各々に属する画素について、前記第 1 のスイッチング素子を導通して前記電圧レベルの書き込みを行う水平走査期間に等しい書き込み時間と、前記第 1 のスイッチング素子を遮断して前記電圧レベルを保持し、前記第 2 のスイッチング素子を介して前記電源供給線から画素に前記電圧レベルに応じた固定電流を流しつづける保持時間からなる複数のサブフレーム S_1, S_2, \dots, S_N によって 1 フレーム期間が構成され、前記保持時間が前記サブフレームごとに水平走査期間の整数倍に重み付けされることにより、前記サブフレームにおける前記固定電流の組み合わせにより多階調表示を行い、

前記走査線駆動回路は前記走査線に対し、選択される走査線のサブフレームが $S_1 \rightarrow S_2 \rightarrow \dots \rightarrow S_N \rightarrow S_1 \rightarrow S_2 \rightarrow \dots \rightarrow S_N$ というように循環し、1 つの走査線の重み付けの大きいサブフレームの保持時間に全ての走査線数よりも多くの回数にわたり他の走査線を選択してサブフレームを書き込むことにより、

1 フレーム期間を短縮し、かつすべての走査線のサブフレームの重み付けを一致させることを特徴とするアクティブマトリクス表示装置。

【請求項 9】第 1 の基板上に設けられた複数の信号線と、これを駆動する信号線駆動回路と、前記信号線と直交する複数の走査線と、これを駆動する走査線駆動回路と、前記信号線と前記走査線の交点近傍に設けられた第 1 のスイッチング素子と、前記第 1 のスイッチング素子に接続された第 2 のスイッチング素子と、前記第 2 のスイッチング素子に接続された画素電極と、前記第 2 のスイッチング

素子に前記画素電極と異なる側に接続された電源供給線と、前記第 1 の基板と発光層を介して対峙する対向電極を持つ第 2 の基板とからなるアクティブマトリクス表示装置であって、

前記信号線駆動回路は前記信号線の各々に対し、水平走査期間ごとに表示階調数より少ない複数の電圧レベルのうちの 1 値を選択して出力し、

前記走査線の各々に属する画素について、前記第 1 のスイッチング素子を導通して前記電圧レベルの書き込みを行う水平走査期間に等しい書き込み時間と、前記第 1 のスイッチング素子を遮断して前記電圧レベルを保持し、前記第 2 のスイッチング素子を介して前記電源供給線から画素に前記電圧レベルに応じた固定電流を流しつづける保持時間からなる複数のサブフレーム S 1, S 2, . . . , S N によって 1 フレーム期間が構成され、前記保持時間が前記サブフレームごとに水平走査期間の整数倍に重み付けされることにより、前記サブフレームにおける前記固定電流の組み合わせにより多階調表示を行い、

前記走査線駆動回路は前記走査線に対し、前記サブフレームの各々について選択順序が順次走査であり、選択される走査線のサブフレームが S 1 → S 2 → . . . → S N → S 1 → S 2 → . . . → S N というように循環し、1 つの走査線の重み付けの大きいサブフレームの保持時間に全ての走査線数よりも多くの回数にわたり他の走査線を選択してサブフレームを書き込むことにより、1 フレーム期間を短縮し、かつすべての走査線のサブフレームの重み付けを一致させることを特徴とするアクティブマトリクス表示装置。

【請求項 1 0】前記信号線駆動回路が複数の前記電圧レベルを選択出力するデコーダおよびスイッチを含むことを特徴とする請求項 4 から 6 のいずれかに記載されるアクティブマトリクス液晶表示装置。

【請求項 1 1】前記走査線駆動回路が入力されるアドレス信号に従って走査線を選択するデコーダを含むことを特徴とする請求項 4 から 6 のいずれかに記載されるアクティブマトリクス液晶表示装置。

【請求項 1 2】前記信号線駆動回路が複数の前記電圧レベルを選択出力するデコーダおよびスイッチを含むことを特徴とする請求項 7 から 9 のいずれかに記載されるアクティブマトリクス液晶表示装置。

【請求項 1 3】前記走査線駆動回路が入力されるアドレス信号に従って走査線を選択するデコーダを含むことを特徴とする請求項 7 から 9 のいずれかに記載されるアクティブマトリクス液晶表示装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明はアクティブマトリクス方式の表示装置、特に液晶、有機 E L（エレクトロルミネッセンス）を用いた表示装置およびその駆動方法に関し、時間的に重み付けされたサブフレーム期間における 2 値あるいは多値の電圧レベルの組み合わせにより多階調表示を行うものである。

【0 0 0 2】

【従来の技術】

電池駆動による小型の携帯機器に用いられる表示装置には、より少ない消費電力が要求されている。そのような要求を満たす表示デバイスの代表格として、液晶や有機 E L（エレクトロルミネッセンス）が知られている。これらの表示素子を用いたアクティブマトリクス方式の表示装置、典型的には 3 端子の薄膜トランジスタ（T F T）をスイッチング素子とする表示装置では、アナログの電圧あるいは電流によって画素の輝度を制御し階調表示を行うのが一般的である。例えば、液晶の場合はアナログの電圧を印加することによって、有機 E L の場合はアナログの電流を流すことによって表示素子の輝度を変化させ階調表示している。

【0 0 0 3】

従来のアクティブマトリクス液晶パネルの構成を図 1 に示し、その階調表示方法を図と共に説明する。1 0 1 はアクティブマトリクス方式の液晶パネルであり、信号線 S 1 ～ S n と、これと直交する走査線 G 1 ～ G m と、その交点近傍にあるスイッチング素子からなる。S i はある信号線、G j はある走査線、1 0 2 はそれらの交点近傍にあるスイッチング素子、この場合は一般的な 3 端子の薄膜トランジスタ（T F T）の例である。1 0 3 は液晶素子を示し、トランジスタ 1 0 2 と対峙する側に対向電極 V c o m が形成される。1 0 4 は蓄積容量であり液晶素子 1 0 3 の容量成分を補佐し、画質の劣化を防止している。その逆側の電極は

別途 V_{st} として共通接続される場合が多い。これらのトランジスタ側の交点 105 が画素電極に相当する。動作を簡単に説明すると、走査線 G_j が 1 フレーム期間に一度高電位となり、トランジスタ 102 を導通させ、この時の信号線 S_i の電位まで画素電極 105、つまり液晶容量 103 と蓄積容量 104 を対向電極 V_{com} に対して充電する。その後走査線 G_j が低電位となってトランジスタ 102 が非導通となって、この充電された電位を 1 フレーム期間保つ。また、液晶は交流駆動するのが普通であるが、対向電極 V_{com} と蓄積容量の共通電極 V_{st} を信号線 S_i に同期して反転したパルス状波形を加え、信号線 S_i の振幅を減少することも一般的に行われる。106 は信号側のシフトレジスタおよびラッチであり、外部から入力されるクロック信号 CKH とスタート信号 STH により、映像信号を順次サンプリングしシリアル-パラレル変換する。図 1 ではデジタル映像信号の例を示し、複数ビットの映像信号が D/A 変換回路 107 によりアナログ信号に変えられ、オペアンプ 108 により電流増幅されて信号線 $S_1 \sim S_n$ に加えられる。走査側は外部より加えられるクロック信号 CKV とスタート信号 STV により順次上から下へ走査するシフトレジスタ 109 と出力バッファ 110 からなり、走査線 $G_1 \sim G_m$ をパルス波形で駆動する。

【0004】

図 2 に各部の波形図を示す。 HD は水平同期信号を示し、その周期は水平走査期間 H であり、前述の STH と CKV の周期に等しい。これらの位相はパネル特性等により若干変えられる。入力信号はデジタル映像信号であり、 CKH の周期でデータは変化する。 $FF1$, $FF2$, $FF3$ は信号側シフトレジスタのサンプリングパルスを示す。例えば、4 ビット、16 階調の場合では、データを 16 進数で表現すると、 $FF1$ には "0"、 $FF2$ には "7"、 $FF3$ には "F" がサンプリングされラッチされている。ラッチパルスのタイミングでこれを D/A 変換すると、対向電位 V_{com} に対するパルス高さが変わり、これで階調を表現する。対向反転すれば液晶の交流駆動をする際に信号線の電圧振幅を約 $1/2$ にすることが可能で一般的に行われている。図 3 に走査線の選択順序を示す。横軸は時間、縦軸は選択ラインである。時間軸の最小幅は水平走査期間 H であり、表示ライン数は 16 である。図 3 のように、選択順序は $0 \rightarrow 1 \rightarrow 2 \rightarrow \dots \rightarrow 15$ と

いうように順次走査となっている。従って、16Hで1フレーム期間が完了し、次のフレームの書き込みが始まる。実際には、フレーム期間にはライン選択時間以外に垂直ブランキング期間が設けられるが、図3では省略している。なお、水平走査期間Hは図2のHDの周期に等しく、この時間内にアナログ信号が画素に書き込まれている。

【0005】

以上の駆動方法では、D/A変換回路107の後段に負荷である信号線容量を充放電するための電流バッファとしてオペアンプ108が具備され、これが駆動回路の消費電力を増大させる要因であった。なぜなら、オペアンプは負荷を充放電していないときでも、スタティックな電流が絶えず流れて続けているからである。

【0006】

次に、従来のアクティブマトリクス有機ELパネルの構成を図4に示す。図1の液晶パネルの場合と同機能のものは同一番号を付す。401はアクティブマトリクス方式の有機ELパネルであり、信号線S1～Snと、これと直交する走査線G1～Gmと、その交点近傍にあるスイッチング素子からなる。Siはある信号線、Gjはある走査線、402および403はそれらの交点近傍にある第1および第2のスイッチング素子であり、3端子の薄膜トランジスタ(TFT)を示している。404は補助容量であり、第1のトランジスタ402を介して第2のトランジスタ403のゲート電極に印加された信号線Siの電圧を保持する役割をする。405の位置は画素電極を示し、第2のトランジスタ403を介して電源供給線Vsに接続されている。406は有機EL素子であり、画素電極405と対向電極Vcomとの間に形成され、対向電極Vcomおよび電圧供給線Vs間に流れる電流により発光し、その電流制御により階調表示を行う。水平駆動回路および垂直駆動回路の動作については図1の液晶の場合と同様であり、走査線Gjを順次走査して第1のトランジスタ402を導通させ、信号線Siに出力されたアナログ電圧を第2のトランジスタ403のゲートと補助容量404に書き込んでいる。

【0007】

以上のように、従来のアクティブマトリクス方式の有機ELパネルでは信号線にアナログ電圧を出力するために、水平駆動回路にはD/A変換回路およびオペアンプが具備されている。このオペアンプにはスタティックな電流が絶えず流れて続けており電力が増大する要因となる。また、階調表示は有機EL素子406に流れる電流により制御されるため、第2のトランジスタ403の電流-電圧特性に大きく依存する。したがって、輝度ムラを防ぐためにはパネル全体にわたりトランジスタ特性を均一に形成する必要がある。

【0008】

上述した液晶および有機ELにおけるアナログ電圧により階調表示を行う駆動方法を、本願では「アナログ駆動」と呼ぶものとする。このアナログ駆動に対し、2値の固定電圧のみを用いて時間変調により階調表示を行う駆動方法を「デジタル駆動」と呼ぶものとする。デジタル駆動ではアナログ駆動のようにD/A変換回路およびオペアンプを必要としない。

【0009】

図5に液晶を用いたデジタル駆動の構成を示す。図5は図1に比較して、D/A変換回路およびオペアンプの代わりに、2値の固定電圧 V_H 、 V_L を選択するデコーダ501とアナログスイッチ502が配置されている。デコーダとアナログスイッチは非常に簡単な回路で構成することができ、スタティックな電力消費がほとんどない。また、有機ELを用いたデジタル駆動の場合も図5と同様に、D/A変換回路およびオペアンプの代わりに、デコーダとアナログスイッチが配置される。特に有機ELにデジタル駆動を適用すると、トランジスタの電流-電圧特性が多少ばらついても、2値の固定電圧に対する電流変動さえ抑えられれば、輝度ムラが生じない良質な画像を提供できるという利点がある。なお、走査側は図7のように順次走査を行うためのシフトレジスタ回路により構成され、図1のアナログ駆動と同じである。

【0010】

従来のデジタル駆動における2値の固定電圧 V_H 、 V_L により階調を表示する方法を図6と共に説明する。全体画像を表示するフレーム期間を時間的に重み付けされた複数のサブフレーム期間に分け、それぞれのサブフレーム期間において

液晶の場合は画素電極に、有機 E L の場合は第 2 のトランジスタのゲート電極に V H または V L を加えることで、時間的なパルス幅変調を行っている。固定電圧が 2 値の場合、サブフレームの数は入力データのビット数と一致し、図 6 では 4 ビット、すなわち 4 サブフレームの例を示している。入力データの最上位ビット (M S B) ～最下位ビット (L S B) に対応して、サブフレーム S F 4 ～ S F 1 を割り当てている。図 6 のように、入力データと重み付けされたサブフレーム S F 1 ～ S F 4 における 2 値の固定電圧 V H、V L の組み合わせにより 1 6 通りの階調表示を行っている。例えば、階調データが 1 0 進数で 1 1、すなわち 2 進数で " 1 0 1 1 " のとき、サブフレーム S F 3 では " 0 " に対応する V L が選択され、サブフレーム S F 1、S F 2、S F 4 では " 1 " に対応する V H が選択される。なお、液晶素子の電圧－透過率特性 (V－T 特性) や有機 E L の電流－発光輝度特性に合わせて、" 0 " に V H、" 1 " に V L を対応させても良い。

【 0 0 1 1 】

【発明が解決しようとする課題】

従来のデジタル駆動では、時間的に重み付けされたサブフレーム構造をとるために、図 7 に示すように走査線を選択する必要がある。図 7 はサブフレーム数が 4 の場合で、単純に走査線を上から下へ順次走査しており、サブフレームの時間的な重み付けを 1 : 2 : 4 : 8 とするために上位ビットほど長いサブフレーム期間を有している。このように、デジタル駆動で順次走査する場合のフレーム周期は、サブフレーム数を N、表示ライン数を L、水平走査期間を H として

$$L (1 + 2 + 4 + \cdots + 2 \text{ の } (N - 1) \text{ 乗}) \times H \\ = (2 \text{ の } N \text{ 乗} - 1) H L$$

と表される。上式から分かるように、サブフレーム数 N が増えるとサブフレーム期間が 2 の N 乗に比例して急激に大きくなる。特に最上位ビット (M S B) に対するサブフレーム期間は、他のラインの書き込みを行わない保持時間が非常に増大してしまう。この原因によりフレーム周期が増大してフリッカと呼ばれるちらつきが生じる。逆にフレーム周波数を一定とすると、水平走査周波数が大きくなって電力の増大を引き起こすという課題があった。

【 0 0 1 2 】

【課題を解決するための手段】

選択される走査線のサブフレームは $S_1 \rightarrow S_2 \rightarrow \dots \rightarrow S_N \rightarrow S_1 \rightarrow S_2 \rightarrow \dots \rightarrow S_N$ というように循環し、1つの走査線の重み付けの大きいサブフレームの保持時間に全ての走査線数よりも多くの回数にわたり他の走査線を選択してサブフレームを書き込むことにより、1フレーム期間を短縮し、かつすべての走査線のサブフレームの重み付けを一致させる。

【0013】

サブフレームの各々について選択順序が順次走査であり、かつ選択される走査線のサブフレームは $S_1 \rightarrow S_2 \rightarrow \dots \rightarrow S_N \rightarrow S_1 \rightarrow S_2 \rightarrow \dots \rightarrow S_N$ というように循環し、1つの走査線の重み付けの大きいサブフレームの保持時間に全ての走査線数よりも多くの回数にわたり他の走査線を選択してサブフレームを書き込むことにより、1フレーム期間を短縮し、かつすべての走査線のサブフレームの重み付けを一致させる。

【0014】

【発明の実施の形態】

図8に本発明の実施例における構成図を示す。図8において従来のアナログ駆動（図1）と従来のデジタル駆動（図5）と同機能のものは同一番号を付す。501、502は2値の固定電圧 V_H 、 V_L のいずれかを選択するデコーダおよびスイッチである。803は、アドレス信号 ADV により指定された走査線を選択するデコーダである。デコーダ803は、以下に述べるように走査線を任意に選択するための回路である。

【0015】

図9に本発明の実施例における走査線選択方法およびサブフレーム構造を示す。全体画像を表示するフレーム期間を時間的に重み付けされた複数のサブフレーム期間に分け、それぞれのサブフレーム期間において2値の固定電圧 V_H または V_L を選択出力することで、時間的なパルス幅変調を行っている。階調データとサブフレームにおける2値の固定電圧の組み合わせの関係は、例えば図6に示されるが、図6と異なる組み合わせであってもよい。

【0016】

固定電圧が2値の場合、サブフレームの数は入力データのビット数と一致し、図9では4ビット、すなわち4サブフレームの例を示している。各サブフレーム期間は書き込み時間と保持時間からなり、書き込み時間はどのサブフレームにおいても1水平走査期間で一定であり、保持時間はサブフレームごとに水平走査期間の2の累乗倍の定数倍に重み付けされている。一般化すると、Hを1水平走査期間、Nを全サブフレーム数、Kを正の整数とすると、i番目のサブフレーム期間は、(ただし、 $i = 1, 2, \dots, N$)

$$(1 + 2 \text{ の } (i - 1) \text{ 乗} \times NK) \times H$$

と表される。上式の括弧内の第1項は書き込み時間を表し、第2項は保持時間を表している。保持時間は「(2の累乗) × (定数K) × (サブフレーム数N) × (水平走査期間H)」で表され、サブフレームごとに(2の累乗)の部分が1, 2, 4, 8...となり、重み付けされる。保持時間にNKの項を含んでいるのは、後述するようにフレーム期間の短縮に役立つからである。図9(A)のライン0の波形で、パルスの部分が書き込み時間、それ以外の部分が保持時間に相当する。1フレーム期間は、全サブフレーム期間の和であるので、

$$\begin{aligned} & (N + NK (1 + 2 + 4 + \dots + 2 \text{ の } (N - 1) \text{ 乗})) \times H \\ & = NH (1 + K (2 \text{ の } N \text{ 乗} - 1)) \end{aligned}$$

と表される。

【0017】

走査線の選択順序は、単純に上から下へ順次走査するのではなく、図9(B)に示すように所定の順序で選択することにより、上位ビットにおけるサブフレーム期間の保持時間を利用して他のラインのサブフレームを書き込み、フレーム期間の短縮している。フレーム期間を短縮する方法は以下の手順で行う。1フレーム期間には、全てのサブフレームを書き込むために1ラインに対しN回の書き込み時間が必要である。従って、表示ライン数がLであるとき、1フレーム期間に1水平走査期間の(N × L)倍の書き込み時間が必要である。すなわち、書き込み時間はNHLで表される。保持時間を利用して他のラインの書き込みを行うとき、最も効率的なのは、

$$NH (1 + K (2 \text{ の } N \text{ 乗} - 1)) = NHL$$

が成り立つときである。従って、表示ライン数を

$$L = 1 + K (2 \text{ の } N \text{ 乗} - 1)$$

となるように選べばよい。図 9 (B) の実施例ではサブフレーム数が $N = 4$ であるから、表示ライン数は $L = 15K + 1$ となる。K は正の整数であり、 $K = 1, 2, 3 \dots$ とすると、 $L = 16, 31, 46 \dots$ となる。図 9 (B) では、 $K = 1$ として表示ラインが $L = 16$ 、1 フレーム期間が $NHL = 64H$ となっている。

【0018】

走査線の選択順序に関して詳細に説明する。図 9 はサブフレーム数が $N = 4$ 、表示ライン数が $L = 16$ ($K = 1$) の場合であり、各サブフレーム期間は $5H$ 、 $9H$ 、 $17H$ 、 $33H$ であり、1 フレーム期間はこれらの和であって $64H$ となる。先頭 0 ライン目に注目すると、時刻 $t = 0$ から水平走査期間 $1H$ の間に、最下位ビットに対するサブフレーム $SF1$ を書き込んでいる。その後、保持時間が $4H$ あって、次に 0 ライン目の $SF2$ を書き込む時刻は $t = 5H$ となる。この $SF1$ の保持時間の間に、他のラインのサブフレームを書き込んでいる。以下、 $t = 1H$ で 15 ライン目の $SF2$ を、 $t = 2H$ で 13 ライン目の $SF3$ を、 $t = 3H$ で 9 ライン目の $SF4$ を、 $t = 4H$ で 1 ライン目の $SF1$ を書き込んでいる。すなわち、書き込むサブフレームの順序が $SF1 \rightarrow SF2 \rightarrow SF3 \rightarrow SF4 \rightarrow SF1 \dots$ というように循環している。また、1 つのサブフレーム、例えば $SF4$ に注目すれば、選択順序は開始ラインを 9 として、 $9 \rightarrow 10 \rightarrow 11 \rightarrow \dots \rightarrow 15 \rightarrow 0 \rightarrow 1 \rightarrow \dots \rightarrow 8$ というように順次走査となっている。他のサブフレームについても、開始ラインが異なるだけで順次走査と言う点では同様である。各サブフレームの開始ラインは、0 ライン目に対する各サブフレームの書き込み時刻が決まれば一義的に決まる。

【0019】

このように、サブフレームの保持時間を利用して他のラインのサブフレームを書き込むように走査線を選択すれば、単純に順次走査してサブフレーム構造をとる場合に比べてフレーム期間を $N / (2 \text{ の } N \text{ 乗} - 1)$ 倍に短縮できる。例えば図 7 と図 9 は同じ表示ライン数、同じサブフレーム数であるが、順次走査の図 7 の

フレーム周期は 2 4 0 H であるのに対し、図 9 では 6 4 H で済む。フレーム周期を短縮できればフリッカと呼ばれるちらつきを防止することができ、またフレーム周波数を一定とすれば水平走査期間を増大でき、この水平走査期間に行う液晶パネル容量の充放電による電力を低減できる。

【 0 0 2 0 】

本実施例では表示素子に液晶を用いて説明したが、表示素子が有機 E L であっても本実施例の走査線の選択方法を同様に適用できる。

【 0 0 2 1 】

本実施例では時間的に重み付けされた複数のサブフレームにおける 2 値の固定電圧の組み合わせで階調表示を行うとしたが、3 値以上の固定電圧を組み合わせてもよい。この場合、信号側駆動回路の固定電圧を選択するデコーダおよびスイッチが複雑になるが、表示階調数を増やすことができ、サブフレーム数を少なくすることができる。

【 0 0 2 2 】

本実施例ではサブフレーム数 $N = 4$ 、定数 $K = 1$ より表示ライン数を $L = 16$ としたが、これは表示可能な最大ライン数であって、実際にはこれより少ないライン数でもよい。例えば 15 ラインとした場合には、どのラインも選択されない時間が 4 H 分生じるだけである。

【 0 0 2 3 】

本実施例ではサブフレーム期間を重み付けの小さい順に $S F 1 \rightarrow S F 2 \rightarrow S F 3 \rightarrow S F 4 \rightarrow S F 1 \rightarrow \dots$ というように循環して走査線を選択したが、逆に重み付けの大きい順に $S F 4 \rightarrow S F 3 \rightarrow S F 2 \rightarrow S F 1 \rightarrow S F 4 \rightarrow \dots$ と循環してもよい。あるいは、重み付けの大きさに関係なく、例えば $S F 3 \rightarrow S F 1 \rightarrow S F 4 \rightarrow S F 2 \rightarrow S F 3 \rightarrow \dots$ というようにサブフレーム順序を自由に設定してもよい。

【 0 0 2 4 】

また本実施例ではサブフレームの循環する周期をサブフレーム数 $N = 4$ に一致させて 4 H 周期としたが、 N の倍数の範囲、例えば $N = 4$ の場合 8 H 周期で循環させても良い。またすべてのラインを複数のラインからなるブロックごとに、あ

るいは数ラインおきに、あるいは偶数ラインと奇数ラインとに分けるなどして、サブフレームの順序を異ならせてもよい。このような場合、サブフレームの各々について必ずしも順次走査とならないことがある。

【 0 0 2 5 】

さらに本実施例では、サブフレームの保持時間を $(2 \text{ の累乗}) \times (\text{定数 } K) \times (\text{サブフレーム数 } N) \times (\text{水平走査期間 } H)$ としたが、 $(2 \text{ の累乗}) \times (\text{定数 } K)$ の部分を任意に設定してもよい。一般化すれば、重みの部分 $(\text{定数 } K) \times (2 \text{ の累乗})$ を $K(i)$ に置き換え、保持時間を $NH \cdot K(i)$ を表し、 i 番目のサブフレーム期間を、(ただし、 $i = 1, 2, \dots, N$)

$$(1 + N \cdot K(i)) \times H$$

と表すことができる。また 1 フレーム期間は、全サブフレーム期間の和であるので、

$$NH(1 + K(1) + K(2) + \dots + K(N)) = NH(1 + \sum K(i))$$

と表される。フレーム期間を短縮するためにこれを NHL と置けば、表示ライン数は

$$L = 1 + K(1) + K(2) + \dots + K(N) = 1 + \sum K(i)$$

となる。

【 0 0 2 6 】

【発明の効果】

本発明によれば、従来のアクティブマトリクス表示装置、特に液晶、有機 EL を用いたアクティブマトリクス表示装置において、従来のデジタル駆動よりもフレーム期間を短縮でき、フリッカを大幅に低減できる効果がある。フレーム周波数を一定とすれば、水平走査期間が大きくすることができ、この時間に行う液晶パネル容量の充放電による電力を低減できる効果がある。また本発明によれば、D/A 変換回路やオペアンプが不要でドライバ回路の構成を簡単にすることができ、これらで消費する電力を削減できる効果がある。また、従来のアナログ駆動で要求されるほど高精度で均一な薄膜トランジスタの特性を必要とせず、トランジスタ特性ばらつきによる輝度ムラなどの画質劣化を低減できる効果がある。

【図面の簡単な説明】

【図 1】

従来のアクティブマトリクス液晶パネルにおけるアナログ駆動の構成図

【図 2】

従来のアクティブマトリクス液晶パネルにおけるアナログ駆動の波形図

【図 3】

従来のアナログ駆動の走査線選択順序を示す図

【図 4】

従来のアクティブマトリクス有機 E L パネルにおけるアナログ駆動の構成図

【図 5】

従来のデジタル駆動の構成図

【図 6】

デジタル駆動の階調表示方法を示す図

【図 7】

従来のデジタル駆動の走査線選択順序を示す図

【図 8】

本発明の実施例におけるデジタル駆動の構成図

【図 9】

本発明の実施例におけるデジタル駆動の走査線選択順序を示す図

【符号の説明】

1 0 1 アクティブマトリクス方式の液晶パネル

1 0 2, 4 0 2, 4 0 3 スイッチング素子

1 0 3 液晶素子

1 0 4 蓄積容量

1 0 5, 4 0 5 画素電極

1 0 6 シフトレジスタ及びラッチ

1 0 7 D/A変換回路

1 0 8 オペアンプ

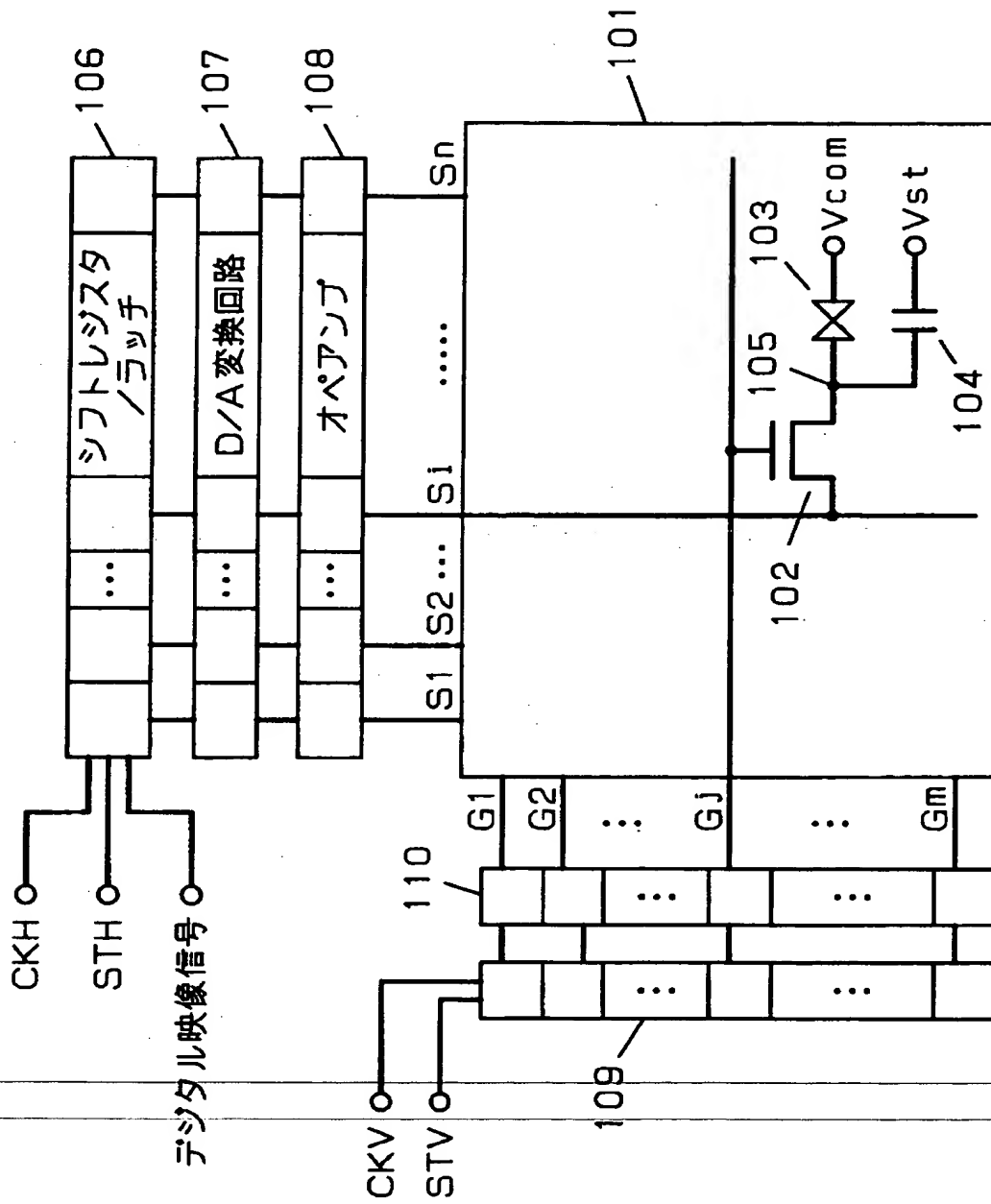
1 0 9 走査側シフトレジスタ

1 1 0 出力バッファ
 4 0 1 アクティブマトリクス方式の有機 E L パネル
 4 0 4 補助容量
 4 0 6 有機 E L 素子
 5 0 1 デコーダ
 5 0 2 アナログスイッチ
 8 0 3 走査線選択デコーダ
 S 1, S 2, S 3, S i, S n 信号線
 G 1, G 2, G 3, G j, G m 走査線
 C K H 信号側クロック信号
 S T H 信号側スタート信号
 C K V 走査側クロック信号
 S T V 走査側クロック信号
 A D V 走査側アドレス信号
 V c o m 対向電極
 V s t 蓄積容量の共通電極
 V s 電源供給線
 H D 水平同期信号
 F F 1, F F 2, F F 3 信号側シフトレジスタのサンプリングパルス
 V H, V L 固定電圧
 S F 1, S F 2, S F 3, S F 4 サブフレーム期間

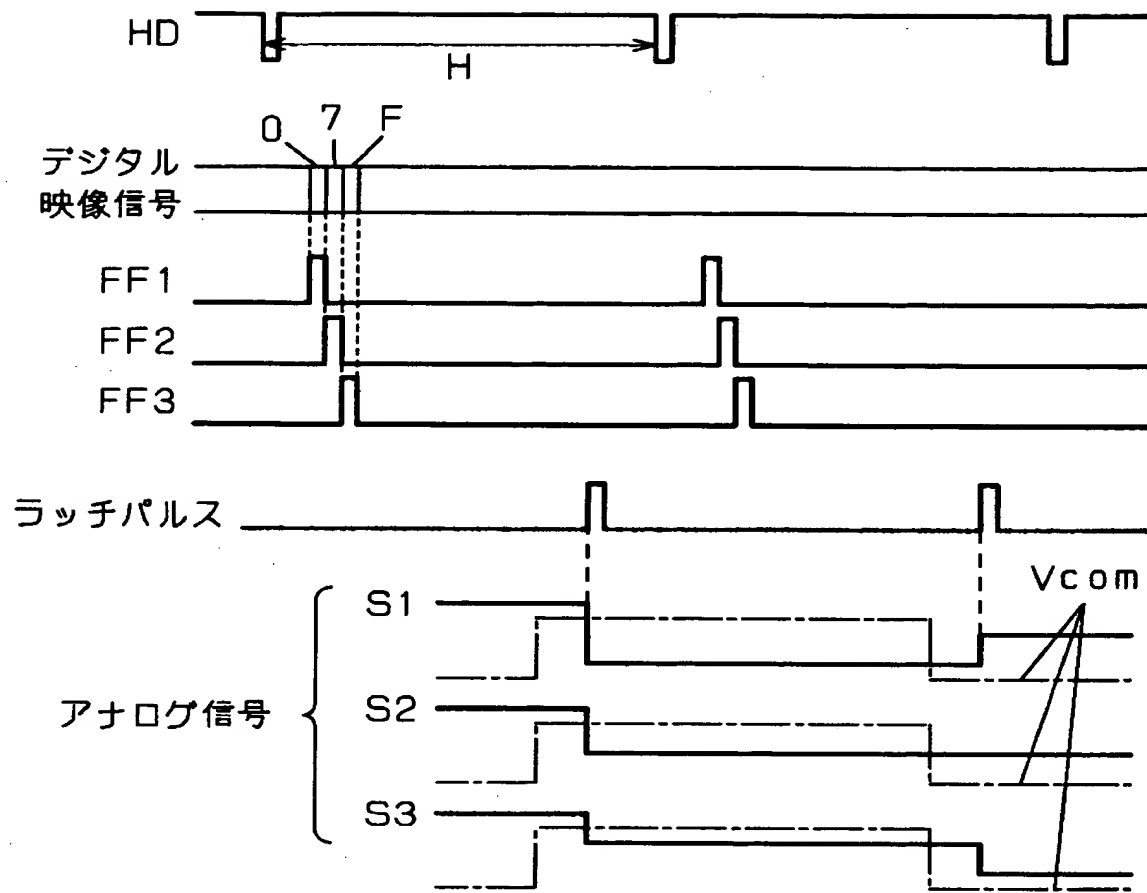
【書類名】

図面

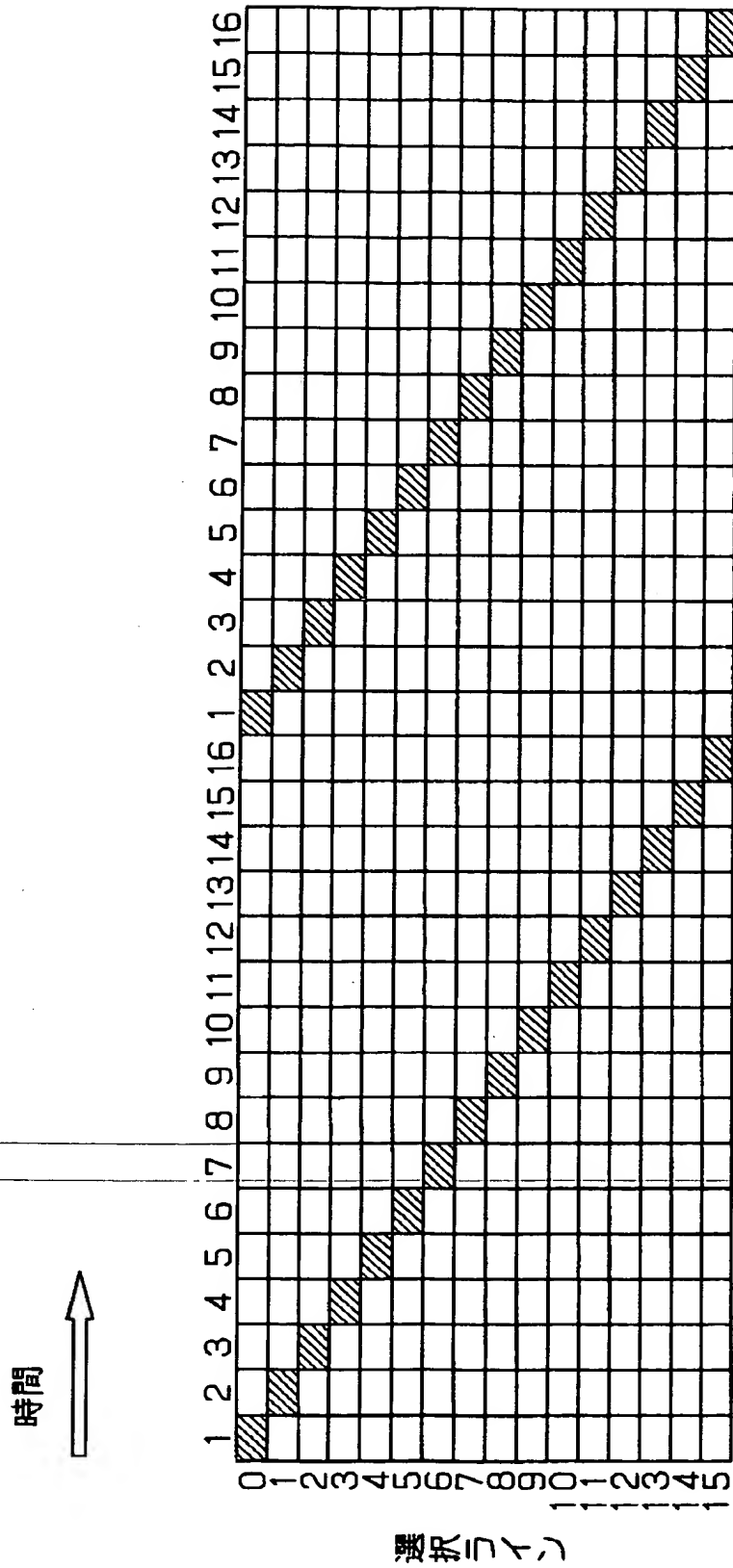
【図 1】



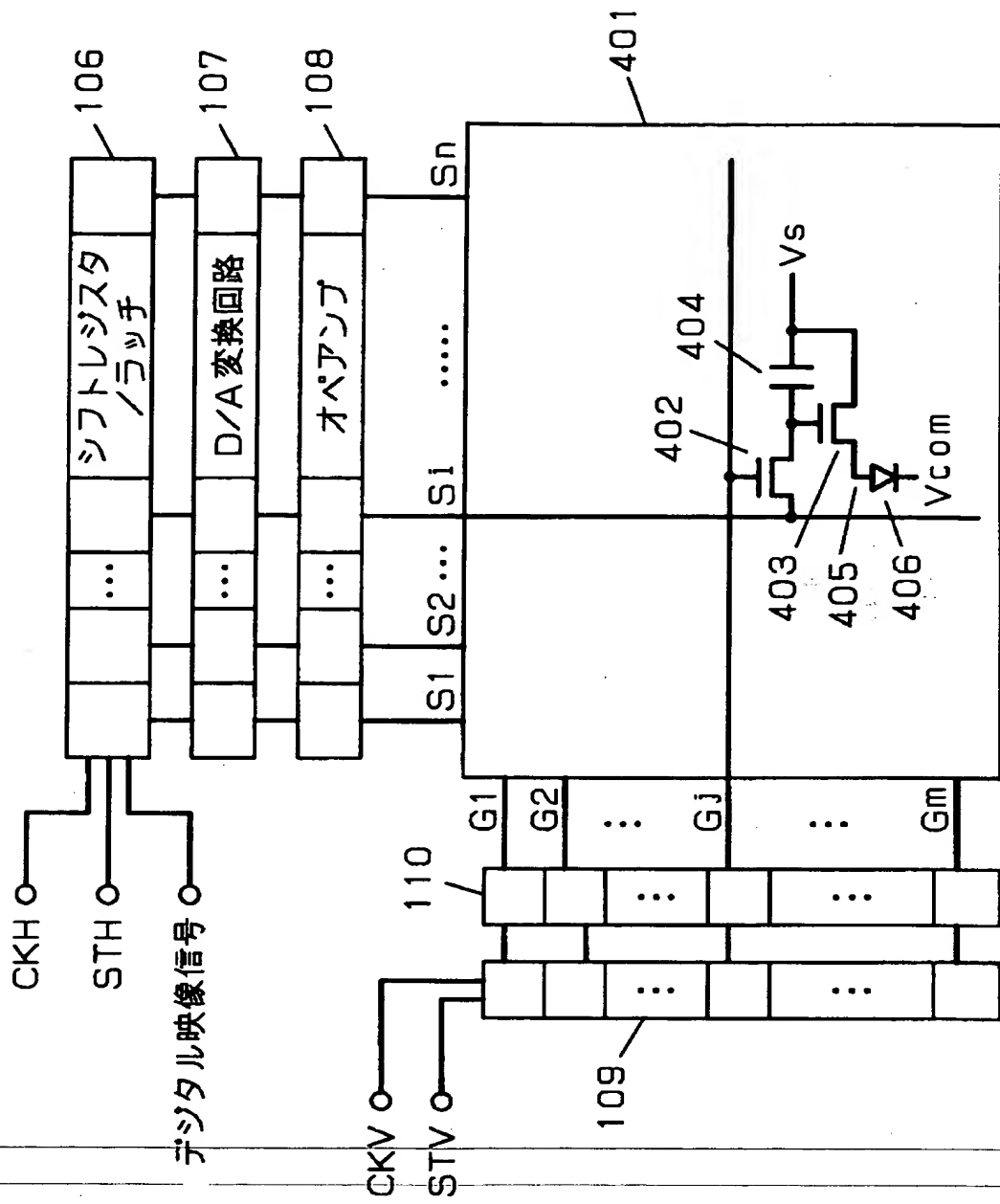
【図 2】



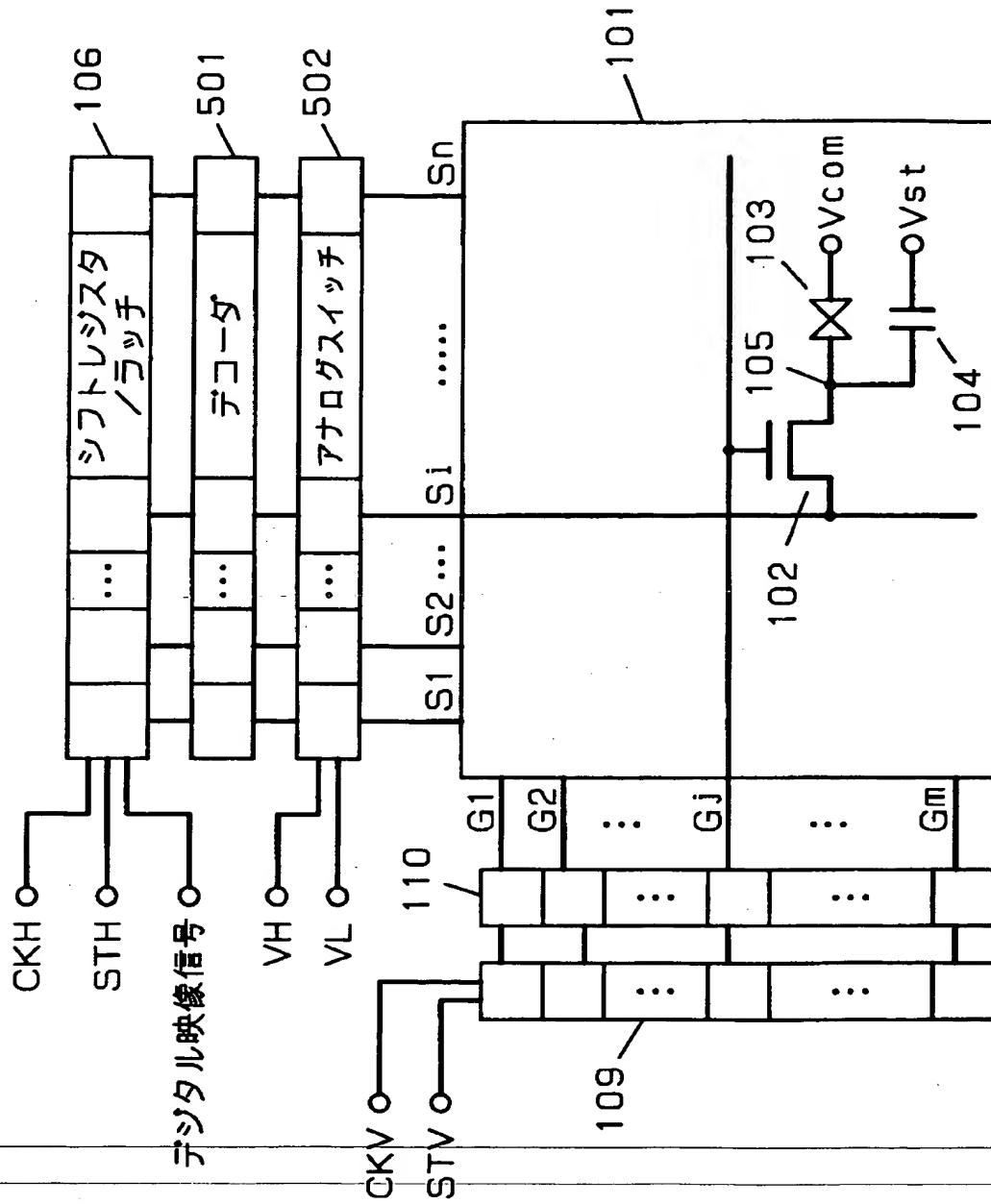
【図 3】



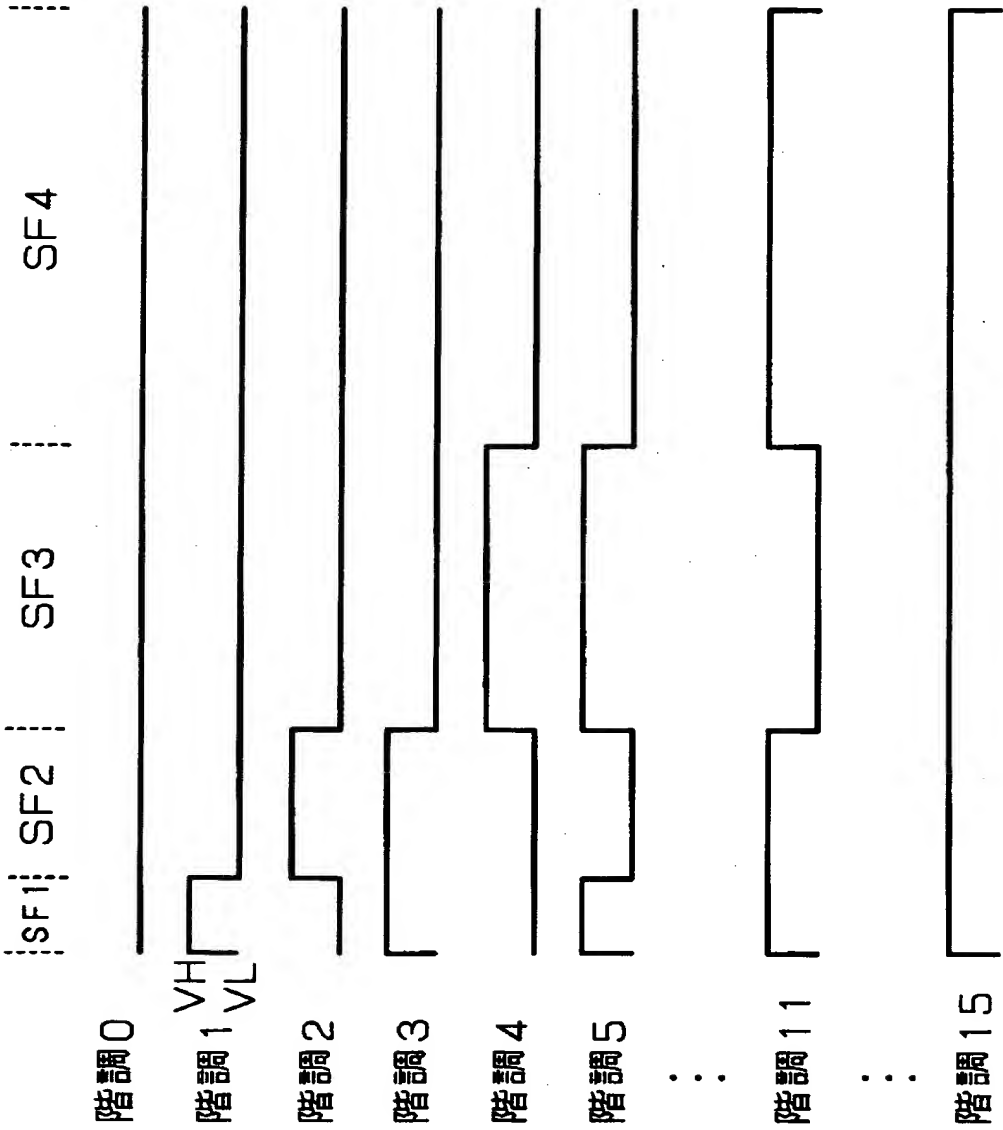
【図 4】



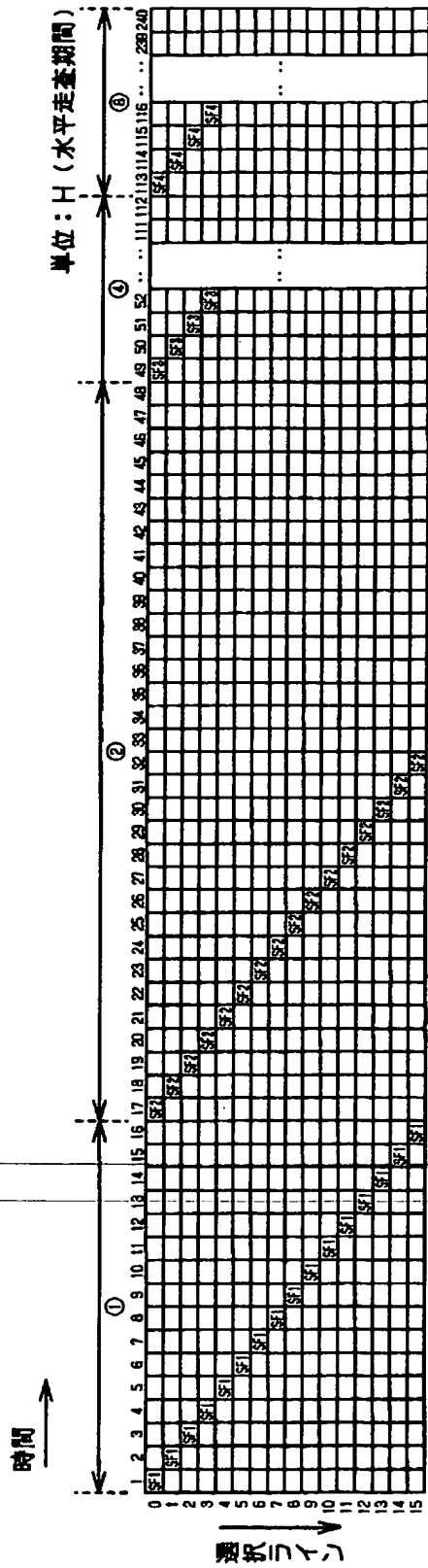
【図 5】



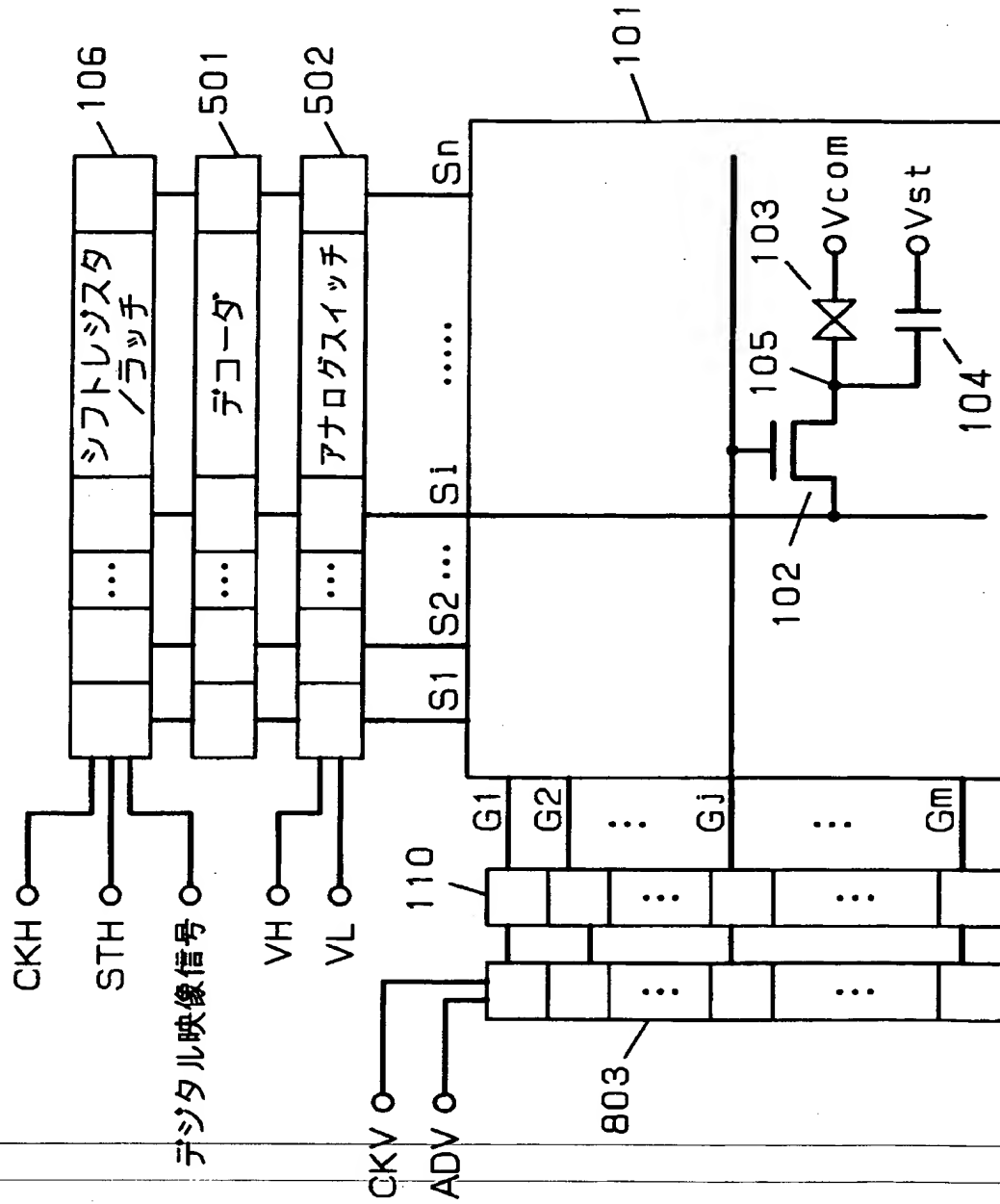
【図 6】



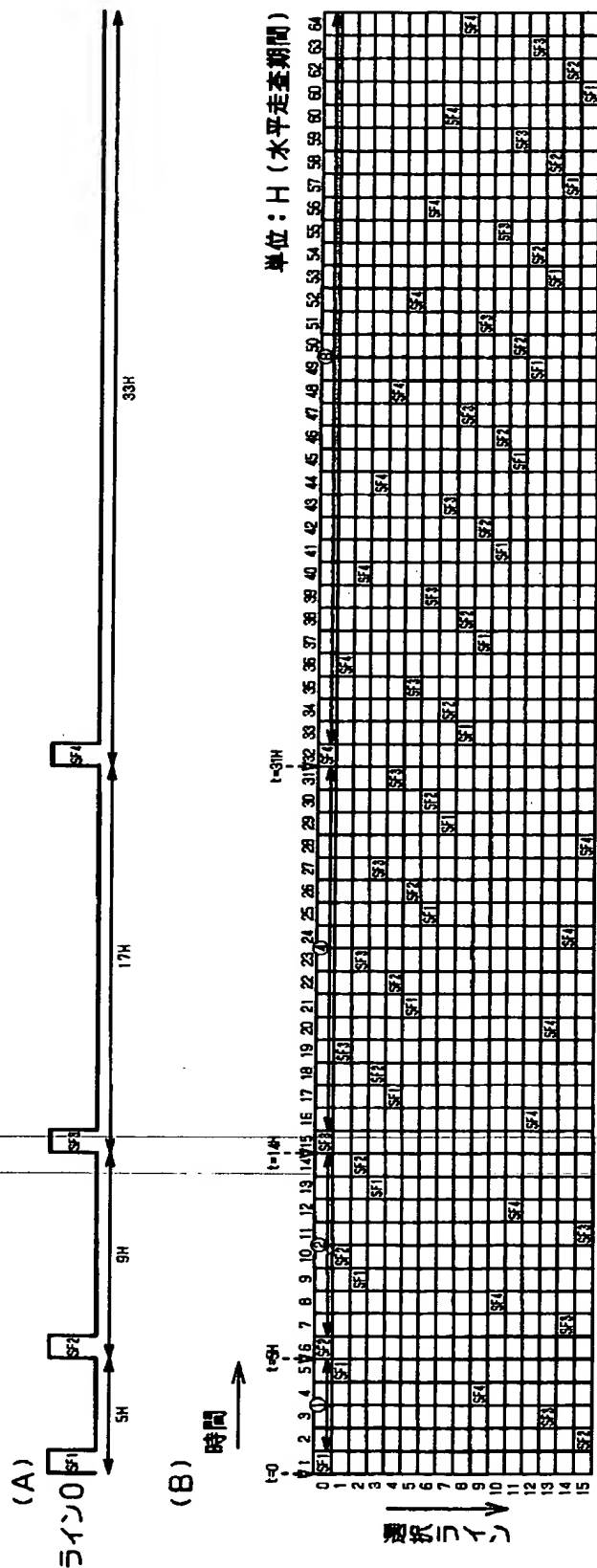
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 小型の電池駆動の携帯機器に用いられる表示装置、特にアクティブマトリクス方式の表示装置において、時間的に重み付けされたサブフレームにおける2値の電圧レベルの組み合わせにより多階調表示を行うと、フレーム周期が増大しフリッカを発生したり、電力を増大する要因となっていた。

【解決手段】 サブフレームの各々について走査線を順次走査し、選択される走査線のサブフレームを循環し、1つの走査線の重み付けの大きいサブフレームの保持時間に全ての走査線数よりも多くの回数にわたり他の走査線を選択してサブフレームを書き込むことにより、1フレーム期間を短縮する。

【選択図】 図9

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日
[変更理由] 新規登録
住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社

THIS PAGE BLANK (USPTO)